

(Prüfungs-)Aufgaben zum Thema Speicherverwaltung

Mit einem **D** gekennzeichnete Aufgaben sind nur für die Prüfung im Diplomstudiengang relevant.

- 1) Ein Betriebssystem mit virtueller Speicherverwaltung arbeite mit
- 32 Bit langen virtuellen Adressen
 - einer Seitengröße von 4KB
 - zweistufigem Paging, wobei die äußere und die inneren Seitentabellen gleich groß sind.

Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 32 Bits der Adresse haben welche Bedeutung?

Beschreiben Sie den Ablauf einer Adreßübersetzung an diesem System.

4)

- a) Beschreiben Sie die Seitenersetzung nach dem LRU-Verfahren („least recently used“).
- b) Warum ist die Seitenersetzung nach LRU besser als nach FIFO?
- c) Warum wird eine Seitenersetzung nach LRU in der Praxis nicht implementiert?

5) Ein Betriebssystem mit virtueller Speicherverwaltung arbeite mit

- 32 Bit langen virtuellen Adressen,
- einer Seitengröße von 1KB,
- 2-stufigem Paging, wobei die äußere und die inneren Seitentabellen gleich groß sind,
- Seitentabelleneinträgen der Länge 4 Byte.

- a) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 32 Bits der Adresse haben welche Bedeutung?
- b) Wieviele innere Seitentabellen gibt es? Wie groß sind die äußere bzw. die inneren Seitentabellen?

7)

- a) Erläutern Sie das Prinzip der Seitenersetzungsstrategie „Least Recently Used“ (LRU).
- b) Erklären Sie, warum LRU (in seiner reinen Form) zu aufwendig zu implementieren ist.

8) Erläutern Sie die Verwendung des Copy-on-Write-Mechanismus in einem UNIX-System mit Demand Paging.

9) Das Betriebssystem VMS auf dem Alpha-Prozessor arbeitet mit

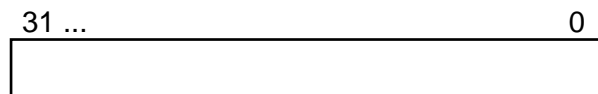
- 43 Bit langen virtuellen Adressen,
- einer Seitengröße von 8 KB,
- 3-stufigem Paging, wobei alle Seitentabellen gleich groß sind,
- Seitentabelleneinträgen der Länge 8 Byte.

- a) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 43 Bits der Adresse haben welche Bedeutung?
- b) Wieviele Seitentabellen der verschiedenen Ebenen gibt es? Wie groß sind diese Seitentabellen?

10)

(3.1) Ein System mit einstufigem Paging verwende 32 Bit breite virtuelle Adressen. Die Seitengröße sei 1 KB.

(1) Geben Sie das entsprechende Adreßformat an:



(2) Wieviele Einträge kann die Seitentabelle maximal haben?

(3) Beschreiben Sie den Ablauf der Adreßübersetzung.

(3.2) Beschreiben Sie Funktion und Bedeutung eines TLB (Translation Lookaside Buffer) Welche Einträge enthält er bei einstufigem Paging?

11) Beschreiben Sie *entweder* für Unix *oder* für Windows NT, wofür und wie ein Copy-on-Write-Bit im Seitentableneintrag verwendet wird.

12) Was versteht man unter „Page Buffering“ in einem Demand-Paging-System? (Erläutern Sie die prinzipielle Funktion und die Vorteile.)

13)

a) Erläutern Sie Vor- und Nachteile der Seitenersetzung nach dem FIFO-Verfahren.

b) Durch welche zusätzliche(n) Methode(n) der Speicherverwaltung können die Nachteile soweit ausgeglichen werden, daß die Seitenersetzung nach FIFO in der Praxis gut funktioniert (denken Sie z.B. an VMS)?

14)

a) Erläutern Sie die „optimale“ Seitenersetzungsstrategie. Warum ist diese nicht implementierbar?

b) Erklären Sie, warum die Seitenersetzungsstrategie LRU (least recently used) im allgemeinen zu weniger Page Faults führt als FIFO (first in first out).

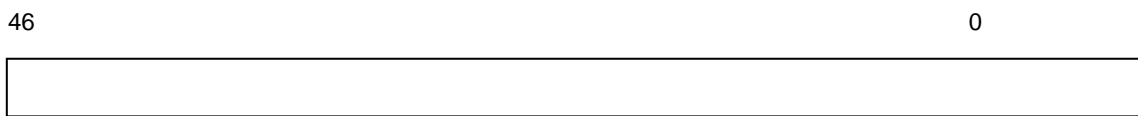
15) Beschreiben Sie *entweder* für Unix *oder* für Windows NT, wofür und wie ein Copy-on-Write-Bit im Seitentableneintrag verwendet wird.

Es folgt die Beschreibung für das Betriebssystem _____ :

16) Zukünftige Alpha-Prozessoren werden mit folgenden Werten arbeiten:

- einer Seitengröße von 16 KB,
- 47 Bit langen virtuellen Adressen,
- 3-stufigem Paging, wobei alle Seitentabellen gleich groß sind,
- Seitentableneinträgen der Länge 8 Byte.

a) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 47 Bits der Adresse haben welche Bedeutung?



b) Wieviele Seitentabellen der verschiedenen Ebenen gibt es? Wie groß sind diese Seitentabellen?

17)

a) Wann wird von einem Prozessor, der virtuelle Speicherverwaltung unterstützt, normalerweise (Spezialfall: siehe Teil c der Aufgabe) eine Page Fault Exception ausgelöst?

b) Was versteht man unter einem "soft page fault"? Wie kann es zu einem soft page fault kommen? (Gehen Sie davon aus, dass die Speicherverwaltung so arbeitet wie z.B. die von Unix und Windows. Es gibt dann mindestens drei Möglichkeiten.)

c) Wann wird außerdem eine Page Fault Exception ausgelöst, wenn der Prozessor ein Copy-on-Write-Bit unterstützt?

d) Beschreiben Sie *entweder* für Unix *oder* für Windows NT, wofür und wie ein Copy-on-Write-Bit im Seitentableneintrag verwendet wird.

Es folgt die Beschreibung für das Betriebssystem _____ :

18) Intel Pentium-Pro-Prozessoren kennen den PAE- (Physical Address Extension) Modus, in dem ein dreistufiges Paging durchgeführt wird. Das Format einer virtuellen Adresse sieht dann wie folgt aus:

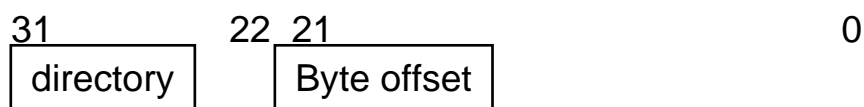


Die obersten beiden Bits enthalten den sog. "Page Directory Pointer Index", der eines der Page Directories auswählt.

- a) Wieviele Page Directories und wieviele (innere) Page Tables gibt es?
- b) Beschreiben Sie (z.B. anhand einer Skizze) den Ablauf einer Adreßübersetzung.
- c) Die Einträge in den (inneren) Page Tables enthalten 24 bit breite Nummern der Seitenrahmen. Wieviele physikalische Adressen können somit im PAE-Modus adressiert werden?

19) Was versteht man unter "Paging", was unter "Swapping"? (Keine Details!)

21) Im sog. PSE36-Modus arbeiten Intel Pentium-Pro-Prozessoren mit einer einstufigen Adreßübersetzung. Das Format einer virtuellen Adresse sieht dann wie folgt aus:



- a) Mit welcher Seitengröße wird in diesem Modus gearbeitet (Angabe in KB, MB, GB)?
- b) Ein "page directory entry" enthält eine 14 Bit breite Adresse für die physikalische Seite. Wie groß ist demnach der gesamte adressierbare physikalische Speicher (Angabe in KB, MB, GB, TB)?

Wieso kann es sinnvoll sein, an einem Intel-System, das mit 32 Bit breiten virtuellen Adressen arbeitet, einen physikalischen Hauptspeicher mit mehr als 4 GB einzusetzen? (Eine der beiden möglichen Antworten genügt.)

23) Was versteht man unter "Thrashing"?

24) An einem typischen System, das mit demand paging arbeitet (Unix, Windows und viele andere) habe die Hardware einen page fault ausgelöst. Beschreiben Sie, was der page fault handler zu tun hat.

Hinweis: Sie dürfen davon ausgehen, daß der page fault ausgelöst wurde, weil die gerade zugegriffene Seite im Seitentabelleneintrag als ungültig gekennzeichnet war (es ist also keine Behandlung des COW-Bit-Falles nötig). Denken Sie jedoch daran, daß es auch dann noch (mindestens) zwei Fälle gibt, die erkannt und unterschiedlich behandelt werden müssen.

25) Ein System arbeite mit 20 Bit breiten virtuellen Adressen, einer Seitengröße von 4 KB und einstufigem Paging. Ein Ausschnitt aus der Seitentabelle sehe wie folgt aus:

Eintrags-Nr.	V	M	COW	PFN
0	1	0	0	%X 123
1	1	1	0	%X F24
2	0	0	1	on disk
3	1	1	1	%X 2A5
.				
.				

.				
9	1	0	1	%X 41C
A	0	1	1	%X 8D4
B	1	0	0	%X E4C
.				
.				
.				
19	0	0	0	on disk
1A	1	1	0	%X 2B3
1B	0	1	1	%X 56C
.				
.				

V = valid bit, M = modify bit, COW = copy-on-write bit, PFN = page frame number.
 Alle Zahlen in hexadezimaler Schreibweise.

Geben Sie bei allen Fragen nicht nur die Antwort, sondern auch eine kurze Begründung.

- a) Wie groß ist der virtuelle Adreßraum (Angabe in KB, MB, GB)?
- b) Wie groß ist der adressierbare physikalische Speicher (Angabe in KB, MB, GB)?
- c) Wie groß ist die Seitentabelle, wenn jeder Eintrag 4 Byte groß ist?

Auf welche physikalische Adresse wird bei einem Zugriff auf die virtuelle Adresse %X1AFFE zugegriffen?

26) Was versteht man unter lokaler und globaler Seitenersetzung? Beschreiben Sie jeweils auch kurz die Vor- und Nachteile.

27) Erläutern Sie den "second chance Algorithmus" für die Seitenersetzung.

28)

- a) Warum verwenden die meisten Prozessoren bei der Übersetzung virtueller Adressen ein mehrstufiges Paging-Verfahren?
- b) Was sind die Nachteile von mehrstufigem Paging?
- c) Durch welche zusätzliche Einrichtung im Prozessor (die allerdings auch schon bei einstufigem Paging eingesetzt wird) werden die Nachteile des mehrstufigen Paging weitgehend ausgeglichen? Geben Sie nicht nur den Namen dieser Einrichtung, sondern auch kurz deren Funktionalität an (keine Details).

29) 32-bit-Intel-Prozessoren verwenden (normalerweise) ein zweistufiges Paging-Verfahren gemäß dem folgenden Aufbau einer virtuellen Adresse:



Geben Sie bei allen Aufgaben auch eine Begründung für Ihre Antwort.

- a) Wie groß ist eine Seite?
- b) Wieviele äußere Seitentabellen (Intel-Terminologie: Page Directories) gibt es und wie groß sind diese?
- c) Wieviele innere Seitentabellen (Intel-Terminologie: Page Tables) gibt es und wie groß sind diese?
- d) Warum wurden wohl die Parameter des Paging (Seitengröße, Anzahl und Einteilung der Stufen) von Intel so gewählt?

30) Die Alpha-Architektur sieht vor, daß zukünftige Prozessoren mit folgenden Werten arbeiten:

- einer Seitengröße von 32 KB,
- 51 Bit langen virtuellen Adressen,
- 3-stufigem Paging, wobei alle Seitentabellen gleich groß sind,
- Seitentabelleneinträgen der Länge 8 Byte.

- a) Wie groß ist der virtuelle Adreßraum (Angabe in MB oder GB oder TB oder PB)?
- b) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 51 Bits der Adresse haben welche Bedeutung?

50

0

--	--

- c) Beschreiben Sie (z.B. anhand einer Skizze) den Ablauf einer Adreßübersetzung.
- d) Wieviele Seitentabellen der verschiedenen Ebenen gibt es? Wie groß sind diese Seitentabellen?

31)

- a) Erläutern Sie kurz (mit Angabe einiger Zahlen), warum der Hauptspeicher für die heutigen Prozessoren um Größenordnungen (wieviele?) zu langsam ist.
- b) Wie ändert sich die Zugriffszeit auf den Hauptspeicher bei virtueller Speicherverwaltung (ein- bzw. mehrstufiges Paging)?
- c) Durch welchen Mechanismus wird diese Verschlechterung der Zugriffszeiten auf den Hauptspeicher bei virtueller Speicherverwaltung weitgehend kompensiert? (Geben Sie die prinzipielle Funktionsweise, aber keine Details der Implementierung an.)

33) Ein System arbeitet mit einer Seitengröße von 4 KB und jeweils 32 Bit breiten virtuellen und physikalischen Adressen.

- a) Unter Beibehaltung der Seitengröße und der Breite der virtuellen Adressen soll ein physikalischer Hauptspeicher von mehr als 4 GB ermöglicht (also die physikalischen Adressen verbreitert) werden. Beschreiben Sie eine Möglichkeit, dies zu erreichen. Was ist der limitierende Faktor für die Breite der physikalischen Adresse bei Ihrer Lösung?

(Hinweis: Die Art, wie Intel-Prozessoren dies tun, ist natürlich eine Möglichkeit, aber nicht die einfachste.)

- b) Wieso kann die in a) beschriebene Änderung sinnvoll sein? (Eine der beiden möglichen Antworten genügt.)

34) Die Alpha-Architektur sieht vor, daß zukünftige Prozessoren mit folgenden Werten arbeiten:

- einer Seitengröße von 16 KB,
- 47 Bit breiten virtuellen Adressen,
- 3-stufigem Paging, wobei alle Seitentabellen gleich groß sind,
- Seitentableneinträgen der Länge 8 Byte.

a) Wie groß ist der virtuelle Adreßraum (Angabe in MB oder GB oder TB oder PB)?

b) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 47 Bits der Adresse haben welche Bedeutung?

46 0

c) Beschreiben Sie (z.B. anhand einer Skizze) den Ablauf einer Adreßübersetzung.

d) Wieviele Seitentabellen der verschiedenen Ebenen gibt es und wie groß sind diese Seitentabellen?

35) Beschreiben Sie den Weg einer Seite von „die Seite ist in der ausführbaren Datei, aber noch nicht im Speicher“ bis „die Seite ist im Pagefile, aber nicht mehr im Speicher“ an einem Unix- oder Windows-System.

36) Ein System arbeite mit 24 Bit breiten virtuellen Adressen, einer Seitengröße von 4 KB und einstufigem Paging. Ein Ausschnitt aus der Seitentabelle sehe wie folgt aus:

Eintrags-Nr.	V	M	COW	PFN
0	1	0	0	%X 123
1	1	1	0	%X F24
2	0	0	1	on disk
3	1	1	1	%X 2A5
.				
.				
.				
9	1	0	1	%X 41C
A	0	1	0	on disk
B	1	0	0	%X E4C
.				
.				
.				
19	0	0	0	on disk
1A	0	1	1	%X 2B3
1B	1	1	0	%X 56C
.				
.				

Legende:

V = valid bit, M = modify bit,
COW = copy-on-write bit,
PFN = page frame number.

Alle Zahlen in hexadezimaler Schreibweise (wie durch „%X“ angezeigt).

Geben Sie bei allen Fragen nicht nur die Antwort, sondern auch eine kurze Begründung.

- a) Wie groß ist der virtuelle Adreßraum (Angabe in KB, MB, GB)?
- b) Wie groß ist der adressierbare physikalische Speicher (Angabe in KB, MB, GB)?
- c) Wie groß ist die Seitentabelle, wenn jeder Eintrag 4 Byte lang ist (Angabe in KB, MB, GB)?
- d) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X 00ABBA?
- e) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X 009123?
- f) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X 01BAFF?

37)

Beschreiben Sie die Bedeutung der folgenden Bits in einem Seitentableneintrag. Geben Sie außerdem jeweils an, von wem (Hardware, Betriebssystemkomponente, Anwendung) das Bit gesetzt, gelöscht und gelesen (ausgewertet) wird.

- a) Valid Bit
- b) Modify Bit
- c) Reference Bit
(keine Details über die Verwendung!)
- d) Copy-on-write Bit
(keine Details über die Verwendung!)

38)

- a) Beschreiben Sie (z.B. anhand einer Skizze) das Format einer virtuellen Adresse und den Ablauf einer Adressübersetzung an einem System, das mit 2-stufigem Paging arbeitet.
- b) Wodurch sind die Größe des virtuellen und des physikalischen Adressraums festgelegt?
- c) Wieso kann es sinnvoll sein, einen physikalischen Adressraum zur Verfügung zu stellen, der größer ist als der virtuelle Adressraum?
(Eine der beiden möglichen Antworten genügt. Zusatzpunkte für 2 richtige Antworten.)

39)

Beschreiben Sie die Seitenersetzung nach dem Two-Handed-Clock-Algorithmus.

(Falls Sie diese Aufgabe nicht lösen können, können Sie auch den Second-Chance-Algorithmus beschreiben. Dafür gibt es allerdings weniger Punkte.)

40)

Prozessoren, die virtuelle Speicherverwaltung anbieten, haben alle ein sog. „Modify Bit“ (manchmal auch „Dirty Bit“ genannt).

- a) Ist das Modify Bit zwingend notwendig, oder könnte man auch darauf verzichten? Begründen Sie Ihre Antwort.
- b) Beschreiben Sie möglichst detailliert, wie das Modify Bit (z.B. in Unix und Windows) benutzt wird.

41) Beschreiben Sie Funktion und Verwendung eines Reference Bits im Seitentabelleneintrag. Geben Sie dabei auch ein konkretes Beispiel für den Einsatz des Reference Bits an.

42) Was versteht man unter „Page Buffering“ an einem Demand Paging System? Beschreiben Sie insbesondere auch, was bei einer Seitenersetzung und bei einem soft page fault geschieht.

43) Der Intel Itanium-Prozessor verwendet maximal 51 Bit lange virtuelle Adressen und die Seitengröße kann eingestellt werden. Die Implementierung eines Betriebssystems auf dem Itanium verwende

- eine Seitengröße von 32 KB,
- 51 Bit lange virtuelle Adressen,
- 3-stufiges Paging, wobei alle Seitentabellen gleich groß sind,
- Seitentabelleneinträge der Länge 8 Byte.

a) Wie sieht das Format einer virtuellen Adresse aus, d.h. welche der 51 Bits der Adresse haben welche Bedeutung?

50

0

b) Beschreiben Sie (z.B. anhand einer Skizze) den Ablauf einer Adreßübersetzung.

c) Wie groß ist jede einzelne Seitentabelle (Angabe in KB, MB, GB)?

44)

Jedes Betriebssystem verwendet Teile des Hauptspeichers für den „Paged Pool“ und für den „Non-Paged Pool“.

- a) Wofür werden diese Pools verwendet?
- b) Welche Art der Speicherverwaltung wird innerhalb der Pools gemacht (keine Details)?

c) Was versteht man in diesem Zusammenhang unter „lookaside lists“? Was haben diese für Vor- und Nachteile?

d) Zusatzaufgabe (4 Zusatzpunkte)

Welchen Vorteil hat es, wenn ein Betriebssystem mehr als einen Pool derselben Art verwendet (wie es z.B. Windows tut)?

45)

Ein System arbeite mit 16 Bit breiten virtuellen Adressen, einer Seitengröße von 4 KB und einstufigem Paging. Ein Ausschnitt aus der Seitentabelle sehe wie folgt aus:

Eintrags-Nr.	V	M	COW	PFN
0	1	0	0	%X 23
1	1	0	0	%X F4
2	0	0	0	on disk
3	0	1	0	on disk
.				
.				
.				
9	1	0	1	%X 4C
A	1	0	1	%X A5
B	1	0	1	%X EC
.				
.				
.				

Legende:

V = valid bit, M = modify bit,
COW = copy-on-write bit,
PFN = page frame number.

Alle Zahlen in hexadezimaler Schreibweise (wie durch „%X“ angezeigt).

Die Page Frame Database für die in diesem Ausschnitt vorkommenden physikalischen Seiten sehe wie folgt aus:

PFN	Reference Count
%X 23	1
%X 4C	1
%X A5	2
%X EC	1
%X F4	3

Geben Sie bei allen Fragen nicht nur die Antwort, sondern auch eine kurze Begründung.

- a) Wie groß ist der virtuelle Adreßraum (Angabe in Byte, KB, MB)?
- b) Wie groß ist der adressierbare physikalische Speicher (Angabe in Byte, KB, MB)?
- c) Wie groß ist die Seitentabelle, wenn jeder Eintrag 4 Byte lang ist (Angabe in Byte, KB, MB)?
- d) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X 2345?
- e) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X AFFE?
- f) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X 1234?
- g) Was geschieht bei einem Schreibzugriff auf die virtuelle Adresse %X BAFF?

46)

Ein System arbeite mit mehrstufigem Paging, und zwar so, wie dies auch Unix und Windows-Systeme tun (die Unterschiede zwischen Unix und Windows spielen für diese Aufgabe keine Rolle).

- a) Wie findet das System die äußerste Seitentabelle?
- b) Welche Information(en) sind in einem Seitentableneintrag der äußeren und mittleren Seitentabellen enthalten?
- c) Welche Information(en) sind in einem Seitentableneintrag der innersten Seitentabellen enthalten?
(Ohne Berücksichtigung von Spezialfällen wie der Verwendung von Bits für andere Zwecke als üblich.)

47)

Ein Betriebssystem arbeite für die Adressräume der Prozesse mit virtueller Speicherverwaltung. Geben Sie drei (Teil-)Bereiche der Speicherverwaltung an, in denen dennoch zusammenhängende Speicherverwaltung gemacht wird. (Stichworte genügen. Der Bereich, den es in zwei „Ausprägungen“ gibt, zählt nur als eine Antwort.)

48)

Was versteht man unter einer „demand-zero page“? Geben Sie auch an, wer festlegt, ob eine Seite eine demand-zero page ist und wie ein page fault für so eine Seite abläuft.

49)

Beschreiben Sie den Mechanismus des „Page Buffering“ incl. der Abläufe, wenn eine Seite „in den Buffer kommt“ bzw. „aus dem Buffer entnommen“ wird (absichtlich vage formuliert). [Es gibt **Zusatzpunkte** für Details unter Unix (Unterschiede bei modifizierten / nicht modifizierten Seiten) XOR unter Windows (diverse Listen für das Page Buffering).]

50) Beschreiben Sie Funktion und Bedeutung eines TLB (Translation Lookaside Buffer).

Beantworten Sie dabei auch folgende Fragen:

- Welche Informationen sind im TLB enthalten?
- Wie, wann und von wem werden sie zugegriffen?
- Wie groß ist ein typischer TLB?

51) Die Informationen des TLB sind (natürlich) auch von der Software auslesbar. Dies kann benutzt werden, um eine andere Art von „Second Chance Algorithmus“ für die Seitenersetzung zu implementieren, bei der das Reference Bit nicht benötigt wird: eine Seite wird von der Ersetzung ausgenommen, wenn der Seitentableneintrag sich im TLB befindet.

- a) Ist dieser Algorithmus für lokale oder globale Seitenersetzung geeignet, oder für beide?
- b) Bewerten Sie diesen Algorithmus im Vergleich mit FIFO und mit dem „normalen“ Second Chance-Algorithmus (bzw. dem Two-Handed-Clock Algorithmus).

52)

a) In welchen zwei Fällen wird von einem Prozessor ein Page Fault ausgelöst?

b) Welche fünf Fälle muss der Page Fault Handler unterscheiden, da diese vom Prinzip her unterschiedlich behandelt werden müssen? Sie brauchen nicht erklären, wie diese Fälle vom Page Fault Handler erkannt werden. Geben Sie aber ganz grob an, wie die Behandlung erfolgt, so dass man sieht, dass diese in den fünf Fällen prinzipiell unterschiedlich ist.